

## SISTEMA DE AQUISIÇÃO E EXIBIÇÃO DE SINAIS BIOLÓGICOS PARA MICROCOMPUTADOR

Schlindwein, F.S.<sup>1</sup>, Caprihan, A.<sup>2</sup>, Gandra, S.A.T.<sup>3</sup>

RESUMO -- Foi desenvolvido um sistema capaz de amostrar até oito sinais analógicos com frequência de amostragem programável até 4KHz e, através de uma interface de saída, que pode funcionar sob controle do processador ou de maneira automática, por acesso direto à memória, exibir até quatro desses sinais em um monitor XYZ (ou em osciloscópio). A interface de saída analógica permite também o registro gráfico de sinais em registrador x-t ou em plotter x-y. Constam do sistema filtros de entrada, amplificadores de ganho controlado pelo operador, proteção contra sobretensão, multiplexadores analógicos, circuito de amostra e retenção, conversor A/D de 8 bits, conversores D/A, conversores corrente-tensão e filtros de saída. O sistema foi instalado em um micro-computador também desenvolvido no Programa de Engenharia Biomédica. A estrutura de "hardware" permite processamento em tempo real. O sistema tem sido usado para pesquisa processando eletrocardiogramas, sinais de velocidade de fluxo sanguíneo, de impedância periférica e de fluxo ventilatório.

INTRODUÇÃO

Para que se possa fazer processamento digital de sinais biológicos (ou de qualquer origem) é necessário contar com uma interface de entrada analógica bastante versátil para que possa ser usada para diversos tipos de sinais.

É interessante que uma máquina capaz de processar sinais em tempo real possa exibir esses sinais em um monitor, bem como alguns resultados do processamento, durante a aquisição. É importante obter "hardcopies" tanto do sinal de entrada como dos resultados do processamento.

O SISTEMA DE AQUISIÇÃO DE DADOS

A figura 1 mostra a estrutura do sistema de aquisição de sinais (Schlindwein, 1982). O "clock" de amostragem é recebido pelo microprocessador (Component Data Catalog, 1981) como um pedido de interrupção da mais alta prioridade (TRAP). Quando interrompido, o processador seleciona um dos oito canais do multiplexador analógico, aciona o circuito de amostra e retenção e comanda o início de uma conversão A/D. Ao término da conversão o processador recebe novo sinal de interrupção (RST 6.5) proveniente do conversor A/D, armazena a amostra e verifica se deve ser feita mais uma amostragem (de outro canal) ou não, isto é, cada "clock" pode desencadear amostragem de um ou mais canais, (ver figura 7).

<sup>1</sup> Professor Assistente - COPPE/UFRJ - Caixa Postal 68.510 - Rio de Janeiro - RJ CEP 21.944

<sup>2</sup> Ph.D. - Lovelace Medical Center - Clinical Research Division - 5400 Gibson Boulevard - SE - Albuquerque - New Mexico 87108 - USA

<sup>3</sup> CENPES/PETROBRAS - Ilha Universitária - Rio de Janeiro - RJ - CEP 21.944

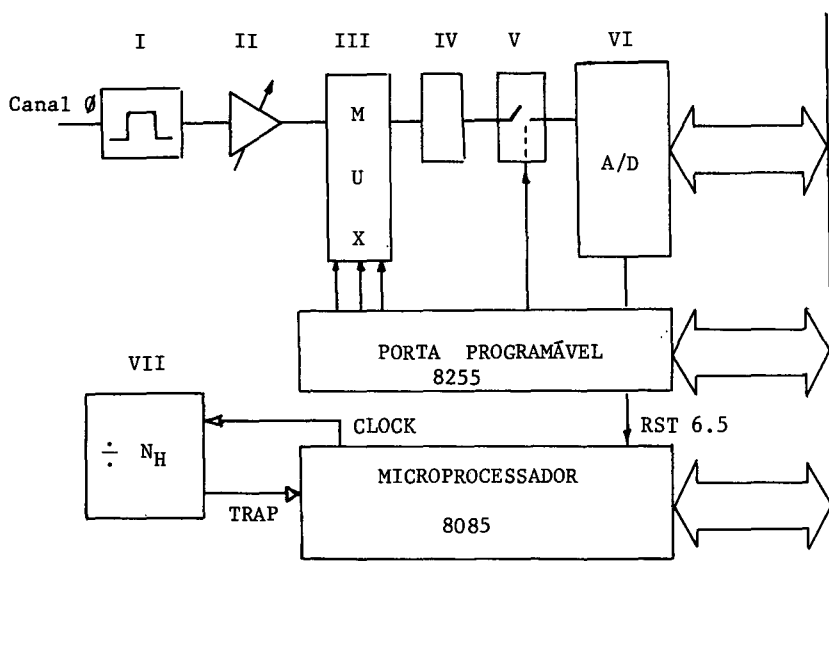


Figura 1. Sistema de Aquisição de Sinais

- I. Filtro
- II. Amplificador
- III. Multiplexador (4051)
- IV. Conversor de Nível
- V. Circuito de Amostra - Retenção
- VI. Conversor A/D (ADC0804)
- VII. Contador Programável (8155)

Não falaremos aqui no sistema de amplificação e filtragem.

### O controle do multiplexador

Após a eventual filtragem e amplificação os sinais passam por um multiplexador analógico CMOS de oito canais (Semiconductor Data Library, 1976) cujo controle é feito pelo processador através de três bits de uma porta programável (PB0, PB1 e PB2 de uma porta 8255), (Component Data Catalog, 1981) conforme a tabela 1 e a figura 2. À saída do multiplexador os sinais, com amplitude na faixa de -5 a +5V, têm sua faixa de excursão mudada para 0V a +5V, por questões de conveniência de alimentação do conversor, (figura 2).

O circuito de amostra e retenção consta de uma chave analógica CMOS (4016) (Semiconductor Data Library, 1976), um capacitor de retenção e um buffer de saída. A chave tem impedância de  $300\Omega$  quando "fechada", e superior a  $10^9\Omega$  quando "aberta". A constante de tempo chave x capacitor deve ser pequena na "amostra" e grande na "retenção". O clock do microprocessador é de 3,072MHz, e o tempo máximo de conversão do conversor usado (ADC0804) é de  $100\mu s$ , (Linear Databook, 1982). Daí a escolha do capacitor em ln8 (poliester metalizado), (figura 3).

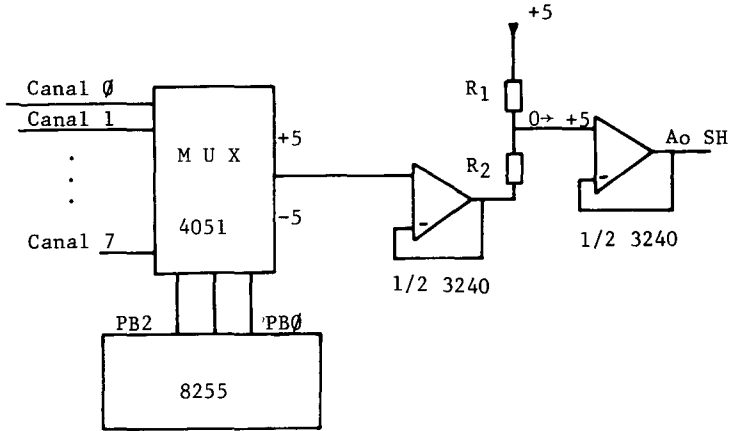


Figura 2. O controle do multiplexador analógico é feito pela porta B de uma 8255. Após o multiplexador o sinal está na faixa -5 +5V. O divisor de tensão muda essa faixa para 0 +5V.

Tabela 1. O controle do multiplexador

PB2	PB1	PB0	Saída
0	0	0	Canal 0
0	0	1	Canal 1
0	1	0	Canal 2
0	1	1	Canal 3
1	0	0	Canal 4
1	0	1	Canal 5
1	1	0	Canal 6
1	1	1	Canal 7

A chave CMOS deve ser alimentada com tensão maior do que 5V para que se garanta seu funcionamento (a tensão limiar dos MOSFETS pode ser maior que 5V) daí usarmos +12V.

A frequência de amostragem

A frequência de amostragem é gerada a partir do "clock out" do próprio processador. O clock de 3.072MHz entra no contador programável de 14 bits de uma porta 8155 (Component Data Catalog, 1981) gerando um pulso de "trap" cada vez que a contagem é completada. O contador é programado para reiniciar a contagem sempre que ela é completada, como podemos ver na figura 4. Como a frequência mais baixa obtida dessa maneira seria de  $3.072\text{MHz}/2^{14} = 187,5\text{Hz}$ , foi programado um divisor por software que permite amostragens a frequências mais baixas, figuras 5 e 6.

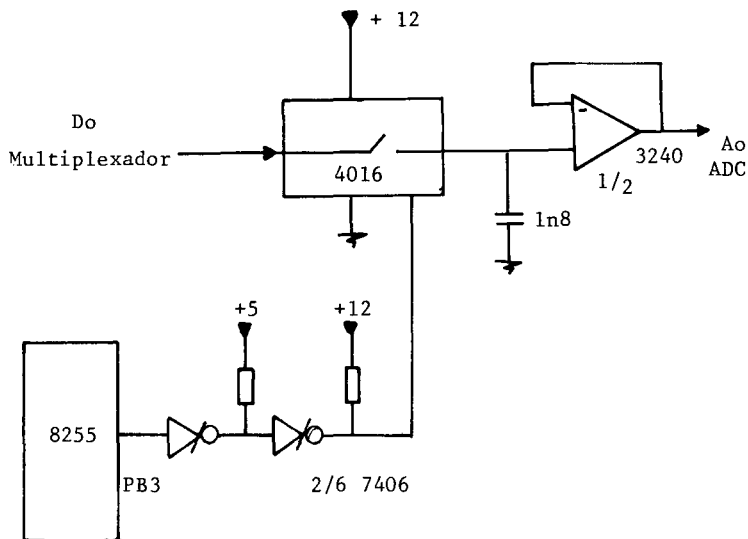


Figura 3. Controle da chave do circuito de amostra e retenção. Observar que a constante de tempo do sistema capacitor chave é tal que  
 $\tau$  (chave "aberta")  $\gg$  tempo máximo de conversão  
 $\tau$  (chave "fechada")  $<$  tempo de uma instrução

### Número de canais

Cada pulso de trap pode desencadear uma ou mais amostragens, de modo que se podem amostrar dois ou mais sinais ao "mesmo tempo", ver figura 7.

Com  $NS = 1$  e amostrando-se 2 canais de cada vez, uma interrupção de trap gera duas amostragens. O intervalo  $t_0 t_1$  corresponde ao tempo de conversão soma do ao tempo necessário para que o processador tome as providências necessárias com a amostra recém convertida, troque o canal do multiplexador, acione o "sample-hold" e comande a nova conversão, (ver figura 7).

O software foi elaborado de modo que o usuário escolhe  $N_H$ ,  $N_S$  e o número de canais e seus códigos (NCH e  $PB_0$ ,  $PB_1$   $PB_2$  correspondentes) além do(s) endereço(s) da(s) rotina(s) para processamento em tempo real.

### AS INTERFACES DE SAÍDA

A interface de saída mostrada na figura 8 (Gandra, 1982) consta de 1Kbyte de memória RAM que pode ser endereçada pelo processador ou por um contador, po

do funcionando de maneira completamente autônoma, desde que haja sinal de clock para o contador.

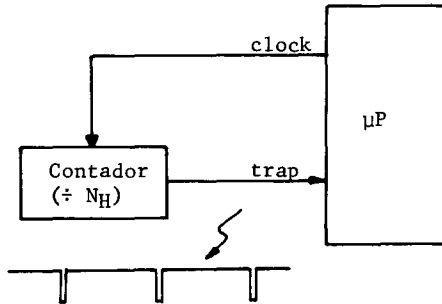


Figura 4. O contador age como um divisor de frequências para o "clock", i.e.,  $f_{trap} = f_{clock} \div N_H$ , sendo que  $N_H$  é um número de 14 bits (programável). A operação foi feita com o timer de uma 8155 (Component Data Catalog, 1981).

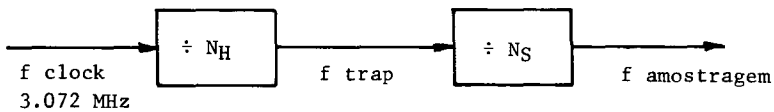


Figura 5. Os divisores do clock são dois, um por "hardware" ( $N_H$ ) e outro por "software" ( $N_S$ ). A cada  $N_S$  traps é realizada uma amostragem.

### Saída para monitor

Desde que o microprocessador não esteja acessando a memória de exibição é o contador quem gera seu endereçamento. Os bits 0 a 7 desse contador, passando por um conversor D/A, geram a varredura para o eixo X. No eixo Y o conteúdo das 1024 posições de memória é exibido no monitor, organizado em 4 linhas de 256 pontos cada. Para essa organização os bits 8 e 9 do contador são usados para endereçar um multiplexador analógico com quatro tensões DC à entrada, que são somados ao conteúdo da memória de exibição, ver figuras 9 e 10.

Para monitorar um sinal de entrada basta que a rotina de processamento em tempo real inclua uma subrotina que coloque a última amostra na memória de exibição, preenchendo-a como um buffer circular. Com essa técnica podem-se monitorar até 4 sinais analógicos (1 em cada linha). Os próprios resulta-

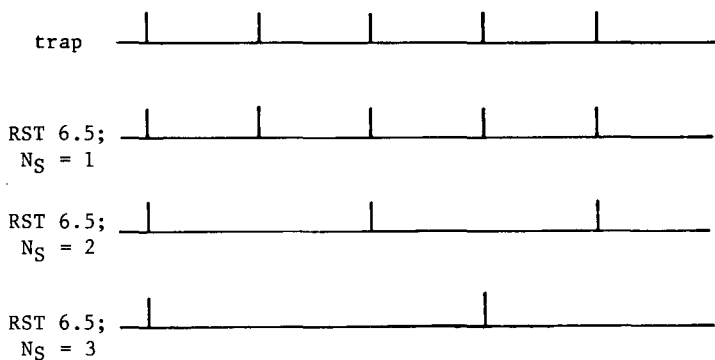


Figura 6. Pode-se fazer amostragem a cada trap ou não. De maneira geral são feitas amostragens a cada  $N_S$  traps.  
 Obs.: não foi representado o atraso do RST 6.5 em relação ao trap

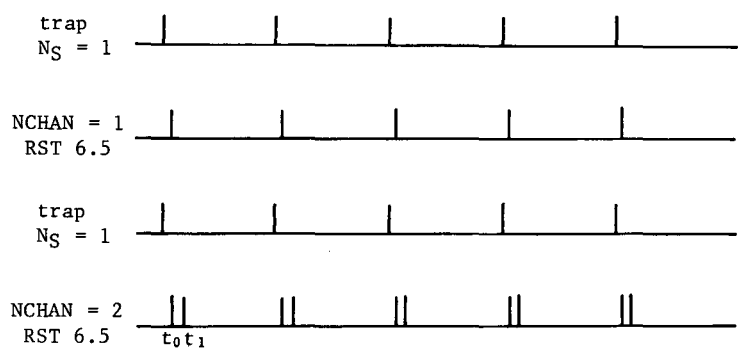


Figura 7. Por software pode-se desencadear mais de uma amostragem, i.ê., escolhe-se o número de canais a serem amostrados (NCH)

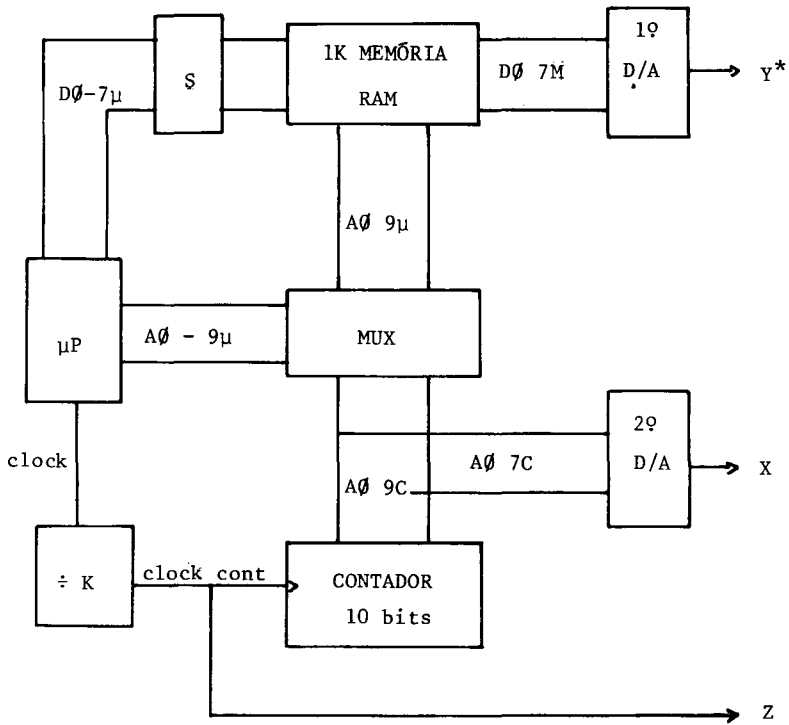


Figura 8. Diagrama do circuito de saída

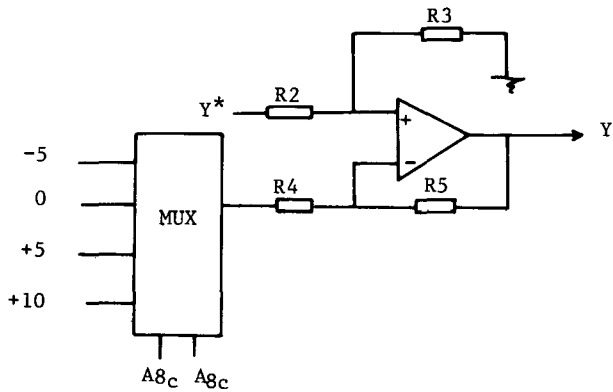
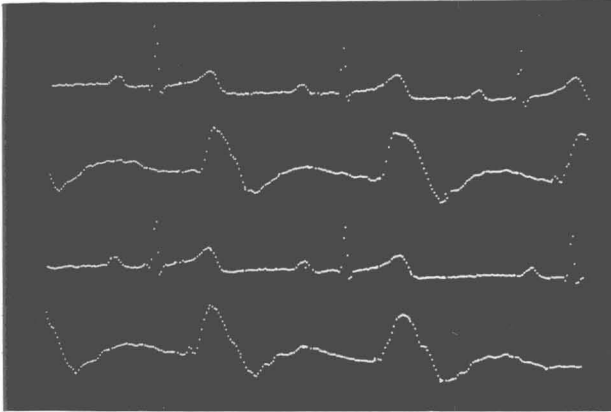
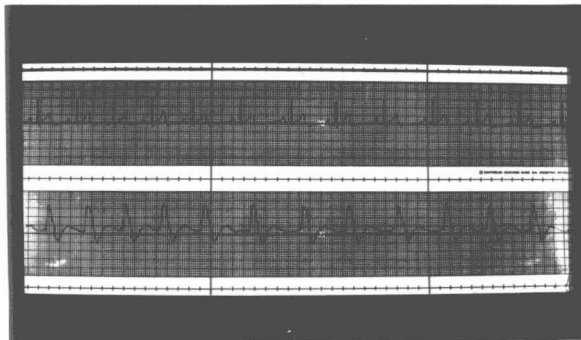


Figura 9. Ao conteúdo de memória são somados quatro patamares



bit 9	bit 8
0	0
0	1
1	0
1	1

Figura 10. a) Tela do monitor mostrando a disposição das quatro linhas e o comando do multiplexador analógico (bits 8 e 9 do contador (vide figura 8))



b) Saída do Registrador



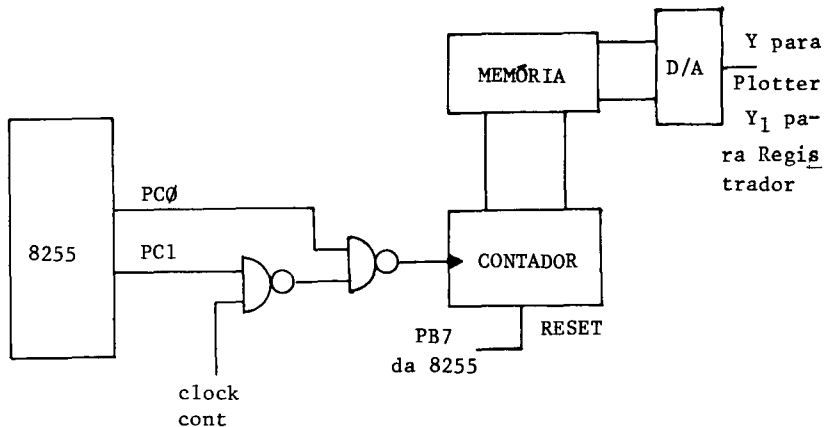


Figura 11. Através de PC1 (fazendo PC1=0) pode-se bloquear o clock de hardware e gerar um clock por software através de PC0 para registrar sinais em Plotter

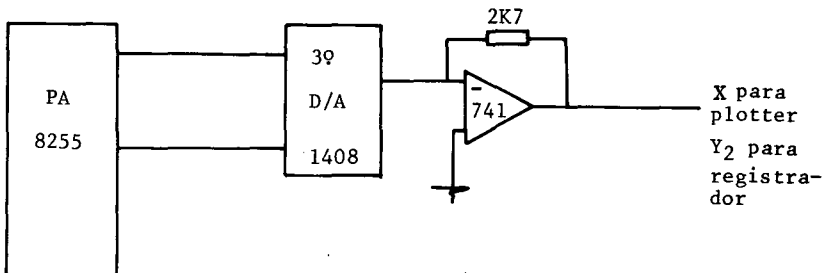


Figura 12. Para a geração do eixo X para Plotter e para que um segundo sinal analógico (Y2) pudesse ser exibido num registrador x-t, foi instalado mais um conversor D/A utilizando-se a porta "A" da mesma 8255 como saída.

Obs.: O conversor corrente-tensão aqui mostrado foi usado para as três saídas analógicas.

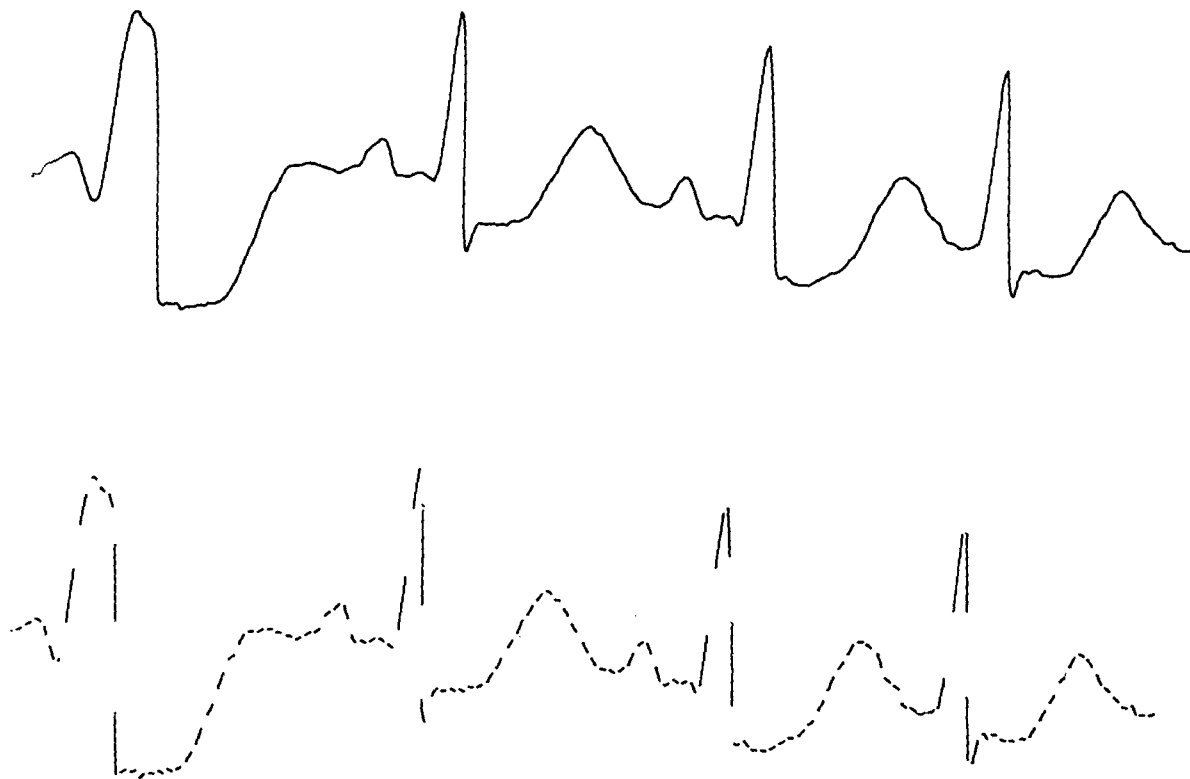


Figura 13. Registros do Plotter mostrando o controle da pena.

dos do processamento (derivada, detecção de eventos, ...) podem ser exibidos no monitor em tempo real, basta usar uma linha para cada informação.

### Saída para Plotter

Aproveitando-se a estrutura de hardware acima descrita e utilizando-se a lógica de controle mostrada na figura 11 pode-se gerar um clock mais lento para o contador e o conteúdo da memória endereçada pelo contador é levado à entrada Y de um plotter. A entrada X poderia ser o próprio endereço desta memória conforme a figura 8 (eixo X do monitor XYZ) mas isso limitaria o uso do plotter (o eixo X seria sempre uma rampa).

Para que o plotter tivesse uso genérico, isto é, para que se pudesse gerar qualquer figura foi instalado um terceiro conversor D/A ligado a uma porta de 8 bits da mesma 8255, (ver figura 12).

A técnica de software para uso do plotter como registrador de sinais no tempo consiste em desabilitar o clock de "hardware" para o contador (PC1 na figura 11), aplicar um pulso para zerá-lo (PB7 na figura 11) e, usando PC0, gerar uma contagem lenta para que o contador vá endereçando posições consecutivas da memória. O eixo X é então usado como eixo de tempos, bastando que se coloque na porta-A (3º conversor) O valor da contagem de pulsos aplicados a PC0.

O controle da pena (subida e descida) é feito pelo microcomputador através da porta PC2 da mesma 8255, ver figura 13.

### Saída para registrador x-t

Dois canais podem ser registrados simultaneamente (off-line) através dos conversores ligados à memória (1º da figura 8) e à porta-A da 8255 (figura 12).

A técnica de software para o uso do registrador consiste em desabilitar o contador - através de PC1, resetá-lo - através de PB7, e colocar os sinais a serem registrados, byte a byte na 1ª memória de exibição (constantemente endereçada pelo contador parado) e na porta-A, gerando a temporização por "software".

É possível registrar sinais em tempo real usando esta técnica. Basta que, a cada amostragem se coloquem os bytes correspondentes aos sinais que se deseja registrar na memória de exibição e na porta-A.

### REFERÊNCIAS

1. Component Data Catalog, Intel Corporation, January, 1981
2. GANDRA, S.A.T., (1982), "Monitor de Arritmias Cardíacas em tempo real utilizando o intervalo R-R e a largura do QRS", Tese de Mestrado, COPPE/UFRJ, Rio de Janeiro, RJ.
3. Linear Databook, National Semiconductor Corporation, 1982
4. SCHLINDWEIN, F.S. (1982), "Microcomputador para análise de sinais de fluxo sanguíneo arterial captados por Ultra-som Doppler", Teses de Mestrado, COPPE/UFRJ, Rio de Janeiro, RJ.
5. Semiconductor Data Library CMOS, vol. 5, séries B, Motorola Semiconductor Product Inc., 1976.

SYSTEM-FOR ACQUISITION AND EXHIBITION OF BIOLOGIC  
SIGNALS FOR MICROCOMPUTER

ABSTRACT -- An interface for signal acquisition and exhibition was developed for 8 bit microcomputers. This interface is capable of sampling up to 8 channels at a programmable sampling rate up to 4KHz, showing the samples and/or results of the real-time processing on an XYZ CRT monitor, plotting signals and results on an XY Plotter and registering them on a strip-chart recorder. The interface includes amplifiers, filters, sample and hold, A/D converter, 1Kbyte of static RAM with DMA and D/A converters. The system has been used to process ECG, blood flow velocity waveforms, biological electric impedance and respiratory flow.